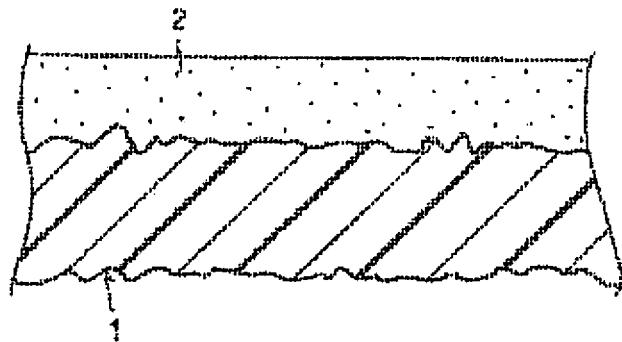


## MANUFACTURE OF LAMINATED CERAMIC ELECTRONIC COMPONENT

**Patent number:** JP2001044065 (A)  
**Publication date:** 2001-02-16  
**Inventor(s):** NAKAMURA AKIRA; OMORI NAGATO; HOSOKAWA TAKAO  
**Applicant(s):** MURATA MANUFACTURING CO  
**Classification:**  
- International: H01G4/12; H01G4/12; (IPC1-7): H01G4/12; H01G4/12  
- european:  
**Application number:** JP19990216622 19990730  
**Priority number(s):** JP19990216622 19990730

### Abstract of JP 2001044065 (A)

**PROBLEM TO BE SOLVED:** To obtain a manufacturing method of a laminated ceramic electronic component which hardly generates shortcircuit defects between inner electrodes and is superior in reliability, even if a ceramic layer between inner electrodes is made thin. **SOLUTION:** In this manufacturing method of a laminated ceramic electronic component, a ceramic green sheet 2 is formed by applying ceramic slurry to one side of a PET film 1 as a synthetic resin film base, having a surface whose maximum height RMAX defined in JIS B0601 is at most 1.5  $\mu$ m and drying it, and thereafter printing of an inner electrode pattern, lamination of a ceramic green sheet, baking of a laminate and formation method of an external electrode are carried out.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-44065

(P2001-44065A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.<sup>7</sup>

H 01 G 4/12

識別記号

3 6 4

3 4 9

3 5 8

F I

H 01 G 4/12

マーク\* (参考)

3 6 4 5 E 0 0 1

3 4 9

3 5 8

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号

特願平11-216622

(22)出願日

平成11年7月30日 (1999.7.30)

(71)出願人 000006231

株式会社村田製作所

京都府長岡市天神二丁目26番10号

(72)発明者

中村 聰

京都府長岡市天神二丁目26番10号 株式会社村田製作所内

(72)発明者

大森 長門

京都府長岡市天神二丁目26番10号 株式会社村田製作所内

(74)代理人

100086597

弁理士 宮▼崎▲ 主税

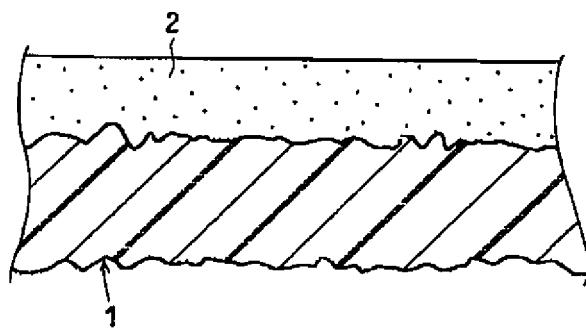
最終頁に続く

(54)【発明の名称】 積層セラミック電子部品の製造方法

(57)【要約】

【課題】 内部電極間のセラミック層の厚みを薄くした場合であっても、内部電極間の短絡不良が生じ難い、信頼性に優れた積層セラミック電子部品の製造方法を得る。

【解決手段】 J I S B 0 6 0 1 で定義される最大高さ  $R_{MAX}$  が  $1.5 \mu m$  以下の表面を有する合成樹脂フィルム基材としてのP E T フィルム1の片面に、セラミックスラリーを塗布し、乾燥することにより、セラミックグリーンシート2を形成し、かかる後、内部電極バターンの印刷、セラミックグリーンシートの積層、積層体の焼成及び外部電極の形成を行う、積層セラミック電子部品の製造方法。



## 【特許請求の範囲】

【請求項1】 J I S B 0 6 0 1 で定義される最大高さ  $R_{Max}$  が  $1.5 \mu m$  以下の表面を有する合成樹脂フィルム基材の片面に、セラミックスラリーを塗布し、乾燥することにより、合成樹脂フィルム基材上にセラミックグリーンシートを形成する工程と、前記セラミックグリーンシート上に内部電極パターンを印刷する工程と、前記内部電極パターンが印刷された複数枚のセラミックグリーンシートを少なくとも積層し、積層体を得る工程と、前記積層体を焼成し、セラミック焼結体を得る工程と、前記セラミック焼結体の外表面に外部電極を形成する工程とを備えることを特徴とする、積層セラミック電子部品の製造方法。

【請求項2】 前記セラミックグリーンシートの厚みを  $t$  としたときに、前記最大高さ  $R_{Max} / t$  が  $0.4$  以下となるように、前記セラミックスラリーを塗布することを特徴とする、請求項1に記載の積層セラミック電子部品の製造方法。

【請求項3】 前記セラミックグリーンシートの厚みが  $10 \mu m$  以下であることを特徴とする、請求項1または2に記載の積層セラミック電子部品の製造方法。

【請求項4】 前記セラミックグリーンシートの厚みが  $7 \mu m$  以下であることを特徴とする、請求項3に記載の積層セラミック電子部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば積層コンデンサのような積層セラミック電子部品の製造方法に関し、特に内部電極間のセラミック層の厚みが薄い積層セラミック電子部品の製造方法に関する。

## 【0002】

【従来の技術】 近年、積層コンデンサでは、小型化及び大容量化の進展に伴い、内部電極間のセラミック層の厚みが薄くなっている。従って、積層コンデンサの製造に際しては、より薄いセラミックグリーンシートが用いられている。

【0003】 もっとも、厚みが  $10 \mu m$  以下程度の薄いセラミックグリーンシートでは、それ自体を単独で取り扱うことができない。従って、積層コンデンサの製造に際しては、まず、合成樹脂フィルム基材上にセラミックスラリーを塗布し、乾燥し、セラミックグリーンシートを成形する。しかる後、合成樹脂フィルム基材に支持されたセラミックグリーンシートの上面に、内部電極パターンを形成する。次に、内部電極パターンの印刷された複数枚のセラミックグリーンシートを、合成樹脂フィルム基材を剥離しつつ積層する。このようにして、複数枚のセラミックグリーンシートを積層し、マザーの積層体を得る。このマザーの積層体を個々の積層コンデンサ単

位の積層体に切断した後、焼成することによりセラミック焼結体を得る。しかる後、該セラミック焼結体の外表面に外部電極を形成する。

【0004】 上記合成樹脂フィルム基材としては、例えば、ポリエチレンテレフタレートフィルムなどが用いられている。

## 【0005】

【発明が解決しようとする課題】 前述したように、積層コンデンサの小型化及び大容量化に伴って、セラミックグリーンシートの厚みが非常に薄くなっている。他方、上記セラミックグリーンシートを得るための合成樹脂フィルム基材は、通常、表面に凹凸を有する。従って、この凹凸が大きい場合には、図7に断面図で示すように、合成樹脂フィルム基材51の上面51aの凹凸により、セラミックグリーンシート52に、局部的なへこみが発生したり、ピンホールが発生するという問題があった。すなわち、セラミックグリーンシート52の厚みが非常に薄いため、合成樹脂フィルム基材51の表面の凹凸の影響を受け易くなり、上記のようなへこみやピンホールが生じがちであった。そのため、最終的に得られた積層コンデンサにおいて、内部電極同士が短絡し、積層コンデンサの信頼性が低下しがちであった。

【0006】 本発明の目的は、上述した従来技術の欠点を解消し、厚みの薄いセラミックグリーンシートを用いた場合であっても、内部電極間の短絡等が生じ難い、信頼性に優れた積層セラミック電子部品の製造方法を提供することにある。

## 【0007】

【課題を解決するための手段】 本発明に係る積層セラミック電子部品の製造方法は、J I S B 0 6 0 1 で定義される最大高さ  $R_{Max}$  が  $1.5 \mu m$  以下の表面を有する合成樹脂フィルム基材の片面に、セラミックスラリーを塗布し、乾燥することにより、合成樹脂フィルム基材上にセラミックグリーンシートを形成する工程と、前記セラミックグリーンシート上に内部電極パターンを印刷する工程と、前記内部電極パターンが印刷された複数枚のセラミックグリーンシートを少なくとも積層し、積層体を得る工程と、前記積層体を焼成し、セラミック焼結体を得る工程と、前記セラミック焼結体の外表面に外部電極を形成する工程とを備えることを特徴とする。

【0008】 好ましくは、前記セラミックグリーンシートの厚みを  $t$  としたときに、前記最大高さ  $R_{Max} / t$  が  $0.4$  以下となるように、前記セラミックスラリーが塗布される。

【0009】 より好ましくは、上記セラミックグリーンシートとして、厚みが  $10 \mu m$  以下のもの、さらに好ましくは  $7 \mu m$  以下のものが用いられる。以下、本発明の詳細を説明する。

【0010】 本発明では、J I S B 0 6 0 1 で定義される最大高さ  $R_{Max}$  が  $1.5 \mu m$  以下の表面を有する合

成樹脂フィルム基材が用いられる。すなわち、表面の粗さが、 $R_{MAX}$  が $1.5\mu m$ 以下の平滑な合成樹脂フィルム基材が用いられる。なお、最大高さ $R_{MAX}$ とは、図2に示すように、凹凸面における最も深い部分と、最高部との間の高さをいうものとする。

【0011】 $R_{MAX}$ が $1.5\mu m$ を超えると、表面が粗くなりすぎ、セラミックグリーンシートを成形した場合、セラミックグリーンシートのへこみやピンホールが生じ易くなる。

【0012】上記合成樹脂フィルム基材を構成する合成樹脂としては、特に限定されるわけではないが、例えば、ポリエチレンテレフタレート、ポリプロピレンなどを好適に用いることができる。

【0013】本発明では、上記のように表面が平滑な合成樹脂フィルム基材の片面に、セラミックスラリーを塗布し、乾燥することにより、セラミックグリーンシートが形成される。セラミックスラリーとしては、誘電体セラミック粉末、磁性体セラミック粉末、半導体セラミック粉末、あるいは圧電性セラミック粉末などの適宜のセラミック粉末を主体とするセラミックスラリーを用いることができる。すなわち、本発明は、積層コンデンサだけでなく、積層バリスタ、積層サーミスタあるいは積層圧電共振部品の製造にも適用することができ、これらの用途に応じたセラミックスラリーが用いられる。

【0014】上記セラミックグリーンシートの厚みは特に限定されるわけではないが、セラミックグリーンシートの厚みが薄い場合に、へこみやピンホールなどが生じ易いため、本発明は、セラミックグリーンシートの厚みが薄い場合に、より効果的である。好ましくは、 $1.0\mu m$ 以下、さらに好ましくは $0.7\mu m$ 以下の厚みのセラミックグリーンシートが用いられ、それによって内部電極間のセラミック層の厚みをより薄くすることができ、その場合であっても、本発明により、内部電極間の短絡等の不良の発生を抑制することができる。

【0015】また、好ましくは、セラミックグリーンシートの厚みを $t$ としたときに、 $R_{MAX}/t$ が $0.4$ 以下となるようにセラミックスラリーが塗布され、それによって、後述の実験例から明らかなように、短絡不良等を効果的に防止することができる。

【0016】なお、セラミックスラリーの塗布方法についても特に限定されず、ドクターブレード法などの適宜の方法を用いることができる。また、本発明においては、上記のようにして合成樹脂フィルム基材上にセラミックグリーンシートを形成した後の工程については、従来より周知の積層セラミック電子部品の製造方法に従って行い得る。

【0017】すなわち、セラミックグリーンシート上に内部電極パターンを印刷するにあたっては、導電ペーストのスクリーン印刷などの適宜の方法を用いることができる。また、内部電極パターンが印刷された複数枚のセ

ラミックグリーンシートを少なくとも積層し、積層体を得る工程は、目的とする積層セラミック電子部品の内部電極積層数に応じて実施されればよい。さらに、内部電極パターンが印刷された複数枚のセラミックグリーンシートだけでなく、上下に無地のセラミックグリーンシートを適宜の枚数積層してもよい。

【0018】上記積層体を焼成し、セラミック焼結体を得る工程は、使用するセラミックスに応じて、適宜の焼成条件下で行われる。セラミック焼結体の外表面に外部電極を形成する工程は、導電ペーストの塗布・焼き付け、蒸着、メッキもしくはスパッタリングなどの適宜の方法により行われ得る。また、導電ペーストの塗布・焼き付けにより形成された電極膜表面に、さらに $1$ 以上のメッキ膜を形成することにより、外部電極を構成してもよい。

【0019】

【発明の実施の形態】以下、本発明の具体的な実施例を挙げることにより、本発明を明らかにする。

(実施例1) 合成樹脂フィルム基材として、下記の表1に示すように、JIS B0601で定義される最大高さ $R_{MAX}$ が $0.5\mu m$ 、 $1.0\mu m$ 、 $1.5\mu m$ 、 $2.0\mu m$ 及び $3.0\mu m$ である試料番号1～5のポリエチレンテレフタレート(以下、PET)フィルムを用意した。

【0020】上記各PETフィルムの片面に、チタン酸バリウム系セラミック粉末を主体とするセラミックスラリーを、得られるセラミックグリーンシートの厚みが平均で $4.0\mu m$ となるように塗布し、乾燥し、セラミックグリーンシートを形成した。図1に、 $R_{MAX}=0.5\mu m$ であるPETフィルム1上にセラミックグリーンシート2が積層されている状態を示す。なお、各試料番号1～5のPETフィルムを用いた場合の $R_{MAX}/t$ の値を、下記の表1に示す。

【0021】次に、図3に示すように、試料番号1～5の各PETフィルムを用いて得られたセラミックグリーンシート2上に、Nイペーストをスクリーン印刷し、内部電極パターン3を形成した。上記のようにして内部電極パターンが印刷された各セラミックグリーンシートを、矩形形状に打ち抜き、積層ステーションに搬送した。積層ステーションにおいて、PETフィルムを剥離しつつセラミックグリーンシートを100枚積層し、さらに上下に無地のセラミックグリーンシートを積層し、厚み方向に加圧してマザーの積層体を得た。

【0022】次に、マザーの積層体を個々の積層コンデンサ単位に切断した。上記のようにして得られた個々の積層コンデンサ単位の積層体においては、図4に示す内部電極4、5が交互に積層されている。次に、上記積層体を焼成し、図5に示すセラミック焼結体を得た。

【0023】このセラミック焼結体11では、略図的に示すように、内部電極12～17がセラミック層を介し

て重なり合うように配置されている。なお、実際には前述のように、100枚の内部電極が積層されている。また、得られたセラミック焼結体11の寸法は、3.2m $\times$ 1.6mm $\times$ 厚み1.6mmである。

【0024】しかる後、上記セラミック焼結体11の端面11a, 11bを覆うように導電ペーストを塗布し、焼き付け、電極膜を形成した。さらに、この電極膜上に、Niメッキ膜及びSnメッキ膜を順次形成し、図6に示すように、外部電極18, 19を形成した。なお、図6では、外部電極18, 19は単一の層として図示し

てある。

【0025】上記のようにして得られた積層コンデンサ20について、以下の要領で短絡不良率を求めた。

短絡不良率の評価・試料N=100で試料中の短絡不良数を測定した。Cメーター使用、1kHz、1Vで選別した。

結果を下記の表1に示す。

【0026】

【表1】

	試料番号				
	1	2	3	4	5
最大高さ $R_{MAX}$ [ $\mu m$ ]	0.5	1.0	1.5	2.0	3.0
$R_{MAX}/t$	0.08	0.25	0.875	0.5	0.75
短絡不良率 (%)	0	0	0	7	18

【0027】なお、表1における $R_{MAX}$ は、接触式表面粗さ計を用いて測定した値であるが、接触式表面粗さ計に代えてレーザー光を利用した表面粗さ計を用いてもよい。表1から明らかなように、PETフィルムの表面粗さを示す $R_{MAX}$ が0.5~1.5 $\mu m$ の場合に、あるいは $R_{MAX}/セラミックグリーンシートの厚み$ が0.4以下の場合、短絡不良が発生していないのに対し、PETフィルム表面の凹凸が大きくなるほど短絡不良発生率が高くなることがわかる。

【0028】従って、本発明に従って、合成樹脂フィルム基材の表面粗さとして、 $R_{MAX}$ が1.5 $\mu m$ 以下の合成樹脂フィルム基材を用いることにより、あるいは、 $R_{$

$MAX/t$ が0.4以下となるようにセラミックスラリーを塗布することにより、短絡不良を確実に防止し得ることがわかる。

【0029】(実施例2)実施例1で用いた試料番号1~5の各PETフィルムを用い、但しセラミックグリーンシートの厚みを3 $\mu m$ 、5 $\mu m$ 、7 $\mu m$ 、10 $\mu m$ 及び15 $\mu m$ とし、他は実施例1と同様にして、それぞれ積層コンデンサを得、実施例1と同様にして短絡不良率を評価した。結果を下記の表2に示す。

【0030】

【表2】

	試料番号				
	1	2	3	4	5
セラミックグリーンシートの厚み ( $\mu m$ )	3	5	7	10	15
PETフィルムの表面凹凸の最大高さ ( $\mu m$ )	8.0	(1.0) (0.6) (0.48) (0.3) (0.2)	1.8 1.1 2.5 0 0		
	2.0	(0.6) (0.4) (0.28) (0.2) (0.18)	1.2 0 0 0 0		
	1.5	(0.5) (0.3) (0.2) (0.15) (0.1)	9 0 0 0 0		
	1.0	(0.3) (0.2) (0.14) (0.1) (0.06)	0 0 0 0 0		
	0.5	(0.16) (0.1) (0.07) (0.05) (0.03)	0 0 0 0 0		

( ) 内はPETフィルムの表面凹凸の突起高さ/グリーンシートの厚み

【0031】表2から明らかなように、セラミックグリーンシートの厚みを3~15 $\mu m$ の間で変化させた場合においても、PETフィルムの表面粗さを、 $R_{MAX}$ が

1.5 $\mu m$ 以下の場合、あるいは $R_{MAX}/t$ が0.4以下となるようにセラミックグリーンシートを形成することにより、短絡不良を効果的に防止し得ることがわか

る。

【0032】なお、上記実施例1、2では、PETフィルム上にセラミックグリーンシートを成形し、内部電極パターンを印刷した後、矩形形状に打ち抜き、PETフィルムに支持されたセラミックグリーンシートを吸引チャックで保持し、搬送し、積層ステーションにおいてPETフィルムから剥離されたセラミックグリーンシートを積層する工程を繰り返すことにより積層体が得られていたが、セラミックグリーンシートを合成樹脂フィルム基材ごと既に積層されているセラミックグリーンシートに加圧・圧着した後、該合成樹脂フィルム基材を剥離する工程を繰り返す圧着積層法を用いてもよい。

【0033】

【発明の効果】以上のように、本発明に係る積層セラミック電子部品の製造方法では、最大高さ  $R_{MAX}$  が  $1.5 \mu\text{m}$  以下の表面を有する合成樹脂フィルム基材を用い、該合成樹脂フィルム基材の片面にセラミックスラリーを塗布し、乾燥することによりセラミックグリーンシートが形成される。従って、セラミックグリーンシートの厚みが薄い場合であっても、合成樹脂フィルム基材表面が滑らかであるため、セラミックグリーンシートにおいてへこみやピンホールが生じ難い。よって、最終的に得られた積層セラミック電子部品において、内部電極間の短絡不良が生じ難く、信頼性に優れた積層セラミック電子部品を提供することが可能となる。

【0034】また、本発明において、 $R_{MAX} / t$  が  $0.4$  以下となるように、セラミックスラリーを塗布した場合には、上述した実施例から明らかなように、短絡不良が生じ難い、信頼性に優れた積層セラミック電子部品を提供することができる。

【0035】さらに、セラミックグリーンシートの厚みを  $1.0 \mu\text{m}$  以下、より好ましくは  $7 \mu\text{m}$  以下とした場合

には、セラミックグリーンシートの厚みが非常に薄くなるので、内部電極間のセラミック層の厚みを薄くすることができ、それによって例えば小型・大容量の積層コンデンサなどを容易に提供することができ、その場合においても、短絡不良が生じ難いので、信頼性に優れた積層セラミック電子部品とすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例において、合成樹脂フィルム基材としてのPETフィルム上にセラミックグリーンシートを成形した状態を示す部分切欠断面図。

【図2】 $R_{MAX}$  を説明するための模式図。

【図3】マザーのセラミックグリーンシート上に内部電極パターンが印刷された状態を示す斜視図。

【図4】積層コンデンサにおける内部電極積層状態を説明するための模式的斜視図。

【図5】実施例で得られたセラミック焼結体を示す断面図。

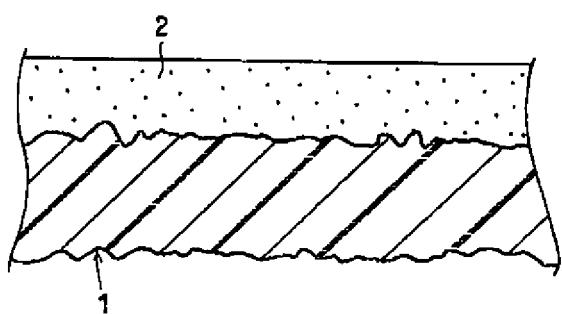
【図6】実施例で得られた積層コンデンサを示す縦断面図。

【図7】従来の積層セラミック電子部品の製造方法において合成樹脂フィルム基材上にセラミックグリーンシートを成形した状態を示す部分切欠断面図。

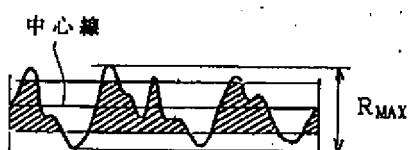
【符号の説明】

- 1…合成樹脂フィルム基材としてのPETフィルム
- 2…セラミックグリーンシート
- 3…内部電極パターン
- 4, 5…内部電極
- 11…セラミック焼結体
- 12～17…内部電極
- 18, 19…外部電極
- 20…積層コンデンサ

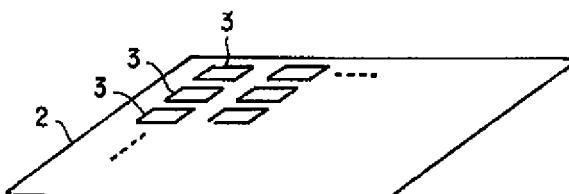
【図1】



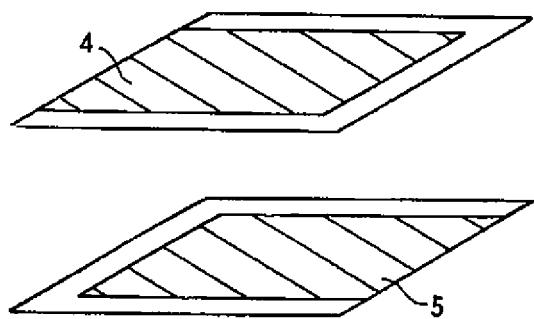
【図2】



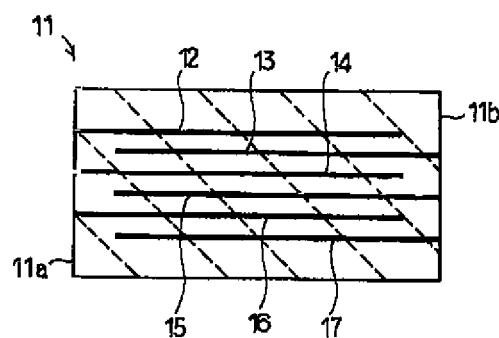
【図3】



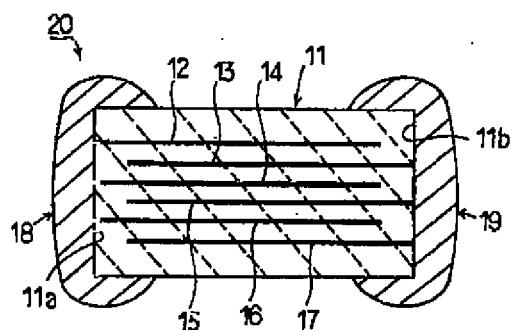
【図4】



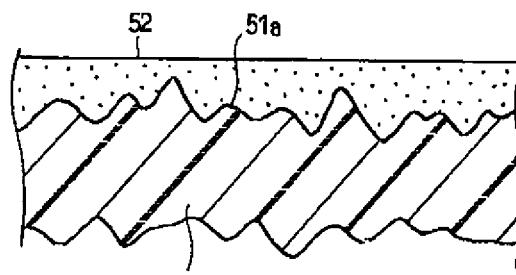
【図5】



【図6】



【図7】



---

フロントページの続き

(72)発明者 細川 孝夫

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

Fターム(参考) 5E001 AB03 AC04 AC09 AD00 AE02

AE03 AF00 AF06 AH01 AH05  
AH06 AH09 AJ01 AJ02